

特開平5-281577

(43) 公開日 平成5年(1993)10月29日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
G 0 9 F 9/30	3 3 8	6447-5G		
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数5 (全 9 頁)

(21) 出願番号 特願平4-109340

(22) 出願日 平成4年(1992)4月2日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 竹村 保彦

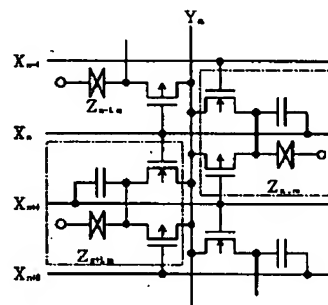
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス表示装置およびその駆動方法

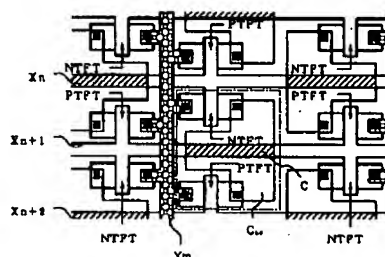
## (57) 【要約】

【目的】 液晶表示装置のようなCMOSトランスファ-ゲート回路を有するアクティブマトリクス静電表示方式において、開口率を低下させることなく補助容量を設ける方法を提供する。

【構成】 第n行と第(n+2)行のゲート配線に、互いに極性が異なるTFTをそれぞれ接続し、これらTFTに接続された画素電極を、間の第(n+1)行のゲート配線にオーバーラップさせて補助容量とする。



(A)



(B)

## 【特許請求の範囲】

【請求項1】 アクティブマトリクス型表示装置において、第n行のゲート線に接続したN型もしくはP型の第1の電界効果型半導体素子と、第(n+2)行のゲート線に接続した前記第1の半導体素子とは逆の導電型の第2の電界効果型半導体素子と、前記第1および第2の半導体素子のソースもしくはドレインに接続された画素電極とを有することを特徴とする表示装置。

【請求項2】 第n行のゲート線に接続したN型もしくはP型の第1の電界効果型半導体素子と、第(n+2)行のゲート線に接続した前記第1の半導体素子とは逆の導電型の第2の電界効果型半導体素子を有するアクティブマトリクス型表示装置において、第(n+2)行のゲート線に正または負の信号が印加されたとき、第n行のゲート線には第(n+2)行のゲート線に印加されたものとは逆の極性の信号が印加され、また、第(n+1)行のゲート線には有効な信号が印加されていないことを特徴とする表示装置の駆動方法。

【請求項3】 アクティブマトリクス型表示装置において、第n行のゲート線に接続したN型もしくはP型の第1の電界効果型半導体素子と、第(n+2)行のゲート線に接続した前記第1の半導体素子とは逆の導電型の第2の電界効果型半導体素子と、画素電極と第(n+1)行のゲート線との間の静電容量を補助容量とする画素電極とを有することを特徴とする表示装置。

【請求項4】 アクティブマトリクス型表示装置において、第m列のデータ線と第n行のゲート線に接続したN型もしくはP型の第1の電界効果型半導体素子と、同じく第m列のデータ線と第n行のゲート線に接続した前記第1の半導体素子とは逆の導電型の第2の電界効果型半導体素子とが、第m列のデータ線に対して右側もしくは左側にあるとき、第m列のデータ線と第(n-1)行のゲート線に接続したTFTと、第m列のデータ線と第(n-1)行のゲート線に接続したTFTは、第m列のデータ線に対して前記第1および第2のTFTと逆側にあることを特徴とする表示装置。

【請求項5】 第(n+1)行のゲート線をまたいで形成された画素電極は、第n行および第(n+2)行のゲート線に接続した少なくとも2つの電界効果型半導体素子に接続され、前記半導体素子の少なくとも1つはN型であることを特徴とする表示装置。

## \* 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス型液晶表示装置等の、静電表示装置およびその駆動方法に関するものである。

【0002】

【従来の技術】 近年、液晶ディスプレイ駆動のためのアクティブマトリクスがさかんに研究され、また、実用化されている。従来のアクティブマトリクス回路は、画素電極と対向電極の間に液晶をはさんだコンデンサーを形成し、薄膜トランジスタ(TFT)によって、このコンデンサーに出入りする電荷を制御するものであった。画像を安定に表示する為には、このコンデンサーの両極の電圧が一定に保たれることが要求されていたが、いくつかの理由によって困難があった。

【0003】 1つの問題点は、TFTのゲート電極と画素電極との寄生容量によってゲート信号が画素電位と容量結合し、電圧が変動する現象( $\Delta V$ )であった。すなわち、ゲートパルス(信号電圧)を $V_g$ 、画素容量を $C_{ic}$ 、ゲート電極と画素電極の寄生容量を $C'$ としたときには、

$$\Delta V = C' V_g / (C_{ic} + C') \quad \dots \textcircled{1}$$

で表される電圧の変動がゲートパルスの除去される時点で発生した。この $\Delta V$ の大きさは、理論的にはデータ線 $Y_n$ に印加される信号の大小や極性に関わらず同じものであった。

【0004】 この問題を解決するためには、 $C_{ic}$ を $C'$ に比べて大きくすればよく、したがって、セルフアライン的にソース/ドレインを作製することによって、寄生容量を低減することや、画素容量に並列に補助容量を挿入して、見かけ上、上式の分母を大きくすることがなされている。

【0005】 最近では、図1(A)に示すようなCMOSトランスファergeイト回路を用いることによって、この問題を解決しようとなされている(例えば、特開平2-178632)。すなわち、このようなトランスファergeイト回路では、PMOSのゲート電極に負のパルス、NMOSのゲート電極に正のパルス(パルスの波高はいずれも同じく $V_g$ とする)が同時に印加された場合には、 $\Delta V$ は、

$$\Delta V = (C_1 - C_2) V_g / (C_1 + C_2 + C_{ic}) \quad \dots \textcircled{2}$$

(ここで、 $C_1$ 、 $C_2$ には、それぞれのTFTと画素容量の間の静電容量)なので、 $C_1$ と $C_2$ を等しくなるようにすれば、 $\Delta V$ は0とすることができる。

【0006】 加えて、1画素について少なくとも2つのTFTが存在するので、もし、1つのTFTが不良で動作しない場合にも、他のTFTによって補うことができる。もちろん、この場合には、不良の程度によっては、式②はあてはまらず、通常のアクティブマトリクスの式

①が適用されるので、寄生容量が著しく大きな場合には $\Delta V$ は非常に大きなものとなる。

【0007】 図1では、ゲート配線はPMOS用とNMOS用を兼用しているが、例えば、特開平2-178632にあるように、PMOS専用の配線とNMOS専用の配線を設けてもよい。ただし、その場合にはゲート線の本数が倍になるので、開口率は低下する。

【0008】 一般に、アクティブマトリクス回路では、

3

画素電極からは、TFTを介して電荷が放電する。そこで、従来のTFTでは補助容量をつけて、この電荷の放出を抑えることがなされてきたが、図1のトランスファークロスタック型の回路においても補助容量をつけて、電荷の放出を抑えることがなされる。そして、その場合には、 $\Delta V$ が $C_1$ と $C_2$ が等しければ0であるという、トランスファークロスタック回路の特色を生かして、図1(B)に示すようにゲート線( $X_n$ 、 $X_{n+1}$ )に画素電極をオーバーラップさせて、これを補助容量( $C_1$ 、 $C_2$ )とすることが試みられた。すなわち、ゲート線は、パルスが印加されている間以外は接地準位と同じ準位であるからである。このため、例えば、新たに接地線を設ける必要もなく、開口率を維持したまま高画質が得られることが期待されていた。

【0009】

【発明が解決しようとする課題】しかしながら、図1(B)のような補助容量を形成するにあたって、特に補助容量の大きさが大きくなると、 $C_1$ と $C_2$ を厳密に等しくすることは困難となった。例えば、セルフアライン法でソース/ドレインを形成した際の1つのTFTあたりの寄生容量は画素容量の10%以内とすることができ、2つのTFTの寄生容量のばらつきは、さらに30%以内とすることが出来る。すなわち、式②における( $C_1 - C_2$ )は、画素容量の3%以内とすることが出来る。

【0010】一方、補助容量として、自然に形成される寄生容量以外に人為的に容量を設定する場合には、一つの補助容量の大きさとしては画素容量と同じ程度が求められる。したがって、この2つの補助容量 $C_1$ 、 $C_2$ の差を10%以内としても、式②の( $C_1 - C_2$ )は、画素容量の10~20%となってしまう。実際には、ゲート線の幅の微妙な違いや、画素電極の重なりやのずれ等の理由のために、より大きな変動が生じ、また、補助容量も画素容量の10倍以上の大きなものが要求されることもあって、 $\Delta V$ が極めて大きくなることがあった。

【0011】

【問題を解決するための手段】この問題の解決するために、本発明では、図2に示すような回路配置を提案する。すなわち、本発明では、第 $n$ 行のゲート配線と第( $n+2$ )行のゲート配線とにTFTを接続してトランスファークロスタック回路を形成し、間の第( $n+1$ )行のゲート配線には、このトランスファークロスタック回路の画素電極をオーバーラップさせて補助容量 $C$ とするものである。一方、図から明らかなように、第( $n+1$ )行のゲート配線も、補助容量専用の配線ではなく、他の画素のゲート電極として機能するものである。すなわち、余分な配線を設けたわけではないので開口率は低下しない。

【0012】図2は本発明を説明する回路図、および構成を示している。このような構成を取る場合、1つのデータ線(例えば $Y_n$ )に注目した場合、画素はそのデー

4

タ線をはさんで左右左右というように交互に構成すると開口率を維持する上で効率的である。

【0013】本発明では、式②における $C_1$ 、 $C_2$ は実質的に各TFTの寄生容量であり、図からも明らかなように、各ゲート線に画素電極をオーバーラップさせることはない。したがって、式②においては、分子は極めて小さく、かつ、分母の $C_{ic}$ には実質的には画素容量に加えて補助容量 $C$ が加わって大きくなっている。

【0014】また、その駆動においては第 $n$ 行と第( $n+2$ )行のゲート線には同時に、互いに極性の逆なパルスが印加されなければならないが、その際には、中間の第( $n+1$ )行のゲート線にはパルスは印加されてはならない。したがって、各ゲート線に正のパルスと負のパルスが連続的に組み合わされたバイポーラパルスが印加される場合には、図3(A)に示すように、第( $n+1$ )行には、第 $n$ 行にパルスが印加されて、次に再び第 $n$ 行にパルスが印加されるまでの間に印加されることが必要であり、また、各ゲート線に正のパルスと負のパルスの間にパルスの無い状態のパルス信号が印加される場合には、図3(B)に示すように、第( $n+1$ )行には、このパルスの無いときにパルスが印加されることが必要とされる。

【0015】ここで注意しなければならないのは、補助容量は第( $n+1$ )行のゲート線を一方の電極として形成されているので、画素電極の電位は第( $n+1$ )行のゲート線の電位の影響を強く受ける。この様子は図3に示されるが、しかしこれは一時的なもので、直ちにもとの状態に戻り、視覚的にはほとんど影響がない。第( $n+1$ )行のゲート線にパルスが印加される時間は1フレームの中の僅かの時間に過ぎないからである。

【0016】図4に本発明の回路を作製するための作製工程例を示した。図(A-1)、(B-1)、(C-1)、(D-1)は断面図であり、(A-2)、(B-2)、(C-2)、(D-2)は上面図である。なお各プロセスの詳細については、特願平4-30220や同4-38637、同3-273377に記述されているので、ここでは特に述べない。

【0017】まず、基板1上に下地の酸化珪素膜2を形成する。これは酸化珪素と窒化珪素の多層膜でも構わない。そして、島状の半導体領域3、3'を形成する。さらに、ゲート絶縁膜(酸化珪素)4を形成し、アルミニウムでゲート配線6、6'、7を形成した。(図4(A-1)および(A-2))

【0018】その後、陽極酸化をおこなって、ゲート配線の周囲に酸化アルミニウム被膜8、8'、9を形成した。厚さは350nmとした。そして、公知のCMOS形成技術を用いて不純物注入をおこなって、不純物領域(ソース/ドレイン)10、10'を形成した。(図4(B-1)および(B-2))

【0019】ついで、酸化珪素の層間絶縁物を厚さ50

0 nmだけ形成した。ここでは、データ線とゲート線の交差する部分だけに酸化珪素を残して、他は除去し、酸化珪素領域11a、11b、11cを形成した。そして、このときはゲート酸化膜として形成された酸化珪素膜まで除去し、不純物半導体領域を露出させた。(図4(C-1)および(C-2))

【0020】データ線とゲート線が交差する部分では容量が生じ、この容量はゲート信号やデータの遅延をもたらす。容量を少なくするためには、このように層間絶縁物を厚く形成することがよいのであるが、その他の部分に関しては、このような層間絶縁物は特に必要とされないからである。特に本例のように、酸化珪素層をゲート絶縁膜として形成されたものまで除去してしまった場合には、従来のようなコンタクトホールというものは不要であり、したがって、コンタクトの不良は著しく低減できた。

【0021】このような工程においては、酸化珪素領域11a、11b、11cの部分にはマスクが必要であるが、その他の部分にはマスクは特に必要とはされない。なぜならば、陽極酸化膜として形成される酸化アルミニウムは極めて耐蝕性が強く、例えばパッファーフッ酸によるエッチングでは酸化珪素のエッチングレートに比べて十分にエッチングレートが遅いからである。

【0022】したがって、ゲート電極の部分に関しては自己整合的に酸化珪素膜をエッチングできる。従来は、TFTのコンタクトホールの形成のために微細なマスクあわせが必要であったが、この例では不要である。もちろん、従来通り、コンタクトホールを形成する方法を採用してもよい。

【0023】最後に、アルミニウムもしくはクロムでデータ線12と電極13、13'を形成し、また、ITOで画素電極14を形成した。このとき、画素電極は、中央のゲート配線7と重なるように配置することによってその間に補助容量を形成できた。特に、この場合では、ゲート配線と画素電極の間には厚さ350 nmの酸化アルミニウム(陽極酸化物)が形成されるが、その誘電率は通常の酸化珪素よりも2倍程度大きいので効果的であった。(図4(D-1)および(D-2))

【0024】以上の例では陽極酸化という手段を使用した。もちろん、通常のTFT作製方法を用いてもよいことはいうまでもない。

#### 【0025】

##### 【実施例】

【実施例1】 図3(A)に本発明のアクティブマトリクス(図2に示した)を駆動する信号の例を示す。この例では、ゲート線には信号が、いわゆる飛び越し走査法のようにとびとびに印加される。つまり、最初に第n行のゲート線 $X_n$ に信号が印加され、次には第(n+1)行のゲート線 $X_{n+1}$ を飛び越して第(n+2)行のゲート線 $X_{n+2}$ に印加される。

【0026】図2の回路では、1つのゲート線がPMOSとNMOSの両方のゲートに接続されているので、正のバースと負のバースが印加される必要がある。図3(A)に示すように $X_{n-1}$ には、最初、負のバースが印加され、続いて正のバースが印加される。 $X_{n-1}$ と第m列のデータ線 $Y_m$ に接続したTFTは2つあるが、最初の負のバースでは、画素 $Z_{n-1,m}$ のNMOSは動作せず、画素 $Z_{n-2,m}$ (図示せず)のPMOSが動作する。

【0027】一方、 $X_{n-1}$ に正のバースが印加されると同時に、 $X_{n+1}$ には負のバースが印加される。このとき、画素 $Z_{n,m}$ のNMOSおよびPMOSが動作し、オン状態となり、画素および補助容量に電荷が充電される。

【0028】次に、 $X_{n+1}$ に正のバースが印加されるが、これには、画素 $Z_{n,m}$ のPMOSは反応せず、その下の画素 $Z_{n+1,m}$ (図示せず)のNMOSが動作する。このようにして、さらに走査が続く。

【0029】さて、本実施例では、データ線の信号を1/2フレームごとにその極性を反転させる、いわゆる交流化をおこなっている。 $X_{n-1}$ にバースが印加されてから約1/4フレーム後に $X_n$ にバースが印加される。そのときも先に $X_{n-1}$ 、および $X_{n+1}$ にバースが印加されたのと同じように、最初に負のバースが印加され、次いで正のバースが印加される。

【0030】そして、同じく、最初の負のバースでは、画素 $Z_{n+1,m}$ のNMOSは動作せず、画素 $Z_{n-1,m}$ のPMOSが動作する。そして、 $X_n$ に正のバースが印加されると同時に、 $X_{n+2}$ には負のバースが印加される。このとき、画素 $Z_{n+1,m}$ のNMOSおよびPMOSが動作し、オン状態となり、画素および補助容量に電荷が充電される。

【0031】次に、 $X_{n+2}$ に正のバースが印加されるが、これには、画素 $Z_{n+1,m}$ のPMOSは反応せず、その下の画素 $Z_{n+3,m}$ (図示せず)のNMOSが動作する。このようにして、さらに走査が続く。

【0032】ここで、画素 $Z_{n,m}$ の電位は、補助容量の電極として機能するゲート線 $X_n$ のバースの影響を大きく受ける。ゲート線 $X_n$ にバースが印加されているときには画素 $Z_{n,m}$ はスタティックな状態(外部から電荷が入り出ることが無い状態)になっているのであるが、ゲート線 $X_n$ の電位が図のように正および負に変動するので、それにしたがって、画素電極の電位も変動する。この電位の変動は、補助容量と画素容量の大きさの比率によって決定される。しかし、この変動のために画素電極から電荷が入り出することは少ないので、結果的にはもとの状態にもどることとなる。画素 $Z_{n+1,m}$ もゲート線 $X_{n+1}$ によって同様な変動を受ける。この変動が継続する時間は非常に短いので視覚的な影響はほとんどない。

50 【0033】変動の継続する時間はゲート線のバースの

7

2つ分の時間である。例えば、1フレームが30msecで、480行の表示装置では、1つのパルスあたりの時間は62.5μsecであるので、この変動の時間は125μsecである。これは、1フレームの240分の1である。

【0034】以上は理想的な駆動例を示したが、実際には各ゲート線にパルスが印加される際には、異なるゲート線間でパルスが重なることを避けるために適当に間隔をおいてパルスを印加することがある。

【0035】〔実施例2〕図3(B)に本発明のアクティブマトリクス(図2に示した)を駆動する信号の例を示す。この例では、ゲート線には信号が順番に印加される。つまり、最初に第n行のゲート線 $X_{n-1}$ に信号が印加され、次には第(n+1)行のゲート線 $X_{n+1}$ に、さらに第(n+2)行のゲート線 $X_{n+2}$ に、というように印加される。

【0036】図3(B)に示すように $X_{n-1}$ には、最初、負のパルスが印加され、続いて最初のパルスの継続時間と同じだけの時間を空けて、正のパルスが印加される。 $X_{n-1}$ と第m列のデータ線 $Y_m$ に接続したTFTは2つあるが、最初の負のパルスでは、画素 $Z_{n-1,m}$ のNMOSは動作せず、画素 $Z_{n-2,m}$ (図示せず)のPMOSが動作する。

【0037】一方、 $X_{n-1}$ に正のパルスが印加されたと同時に、 $X_{n+1}$ には負のパルスが印加される。このとき、画素 $Z_{n,m}$ のNMOSおよびPMOSが動作し、オン状態となり、画素および補助容量に電荷が充電される。

【0038】一方、 $X_{n-1}$ の負のパルスと正のパルスの合間には $X_n$ に負のパルスが印加される。そして、この負のパルスでは、画素 $Z_{n+1,m}$ のNMOSは動作せず、画素 $Z_{n-1,m}$ のPMOSが動作する。そして、 $X_{n-1}$ および $X_{n+1}$ にパルスが印加されている間にはパルスは印加されない。 $X_{n-1}$ のパルスが終了したのち、 $X_n$ に正のパルスが印加されるが、同時に $X_{n+2}$ には負のパルスが印加される。このとき、画素 $Z_{n+1,m}$ のNMOSおよびPMOSが動作し、オン状態となり、画素および補助容量に電荷が充電される。

8

【0039】 $X_n$ のパルスが終了したのち、 $X_{n+1}$ に正のパルスが印加されるが、これには、画素 $Z_{n,m}$ のPMOSは反応せず、その下の画素 $Z_{n+1,m}$ (図示せず)のNMOSが動作する。このようにして、さらに走査が続く。

【0040】ここで、画素 $Z_{n,m}$ の電位は、実施例1と同様、補助容量の電極として機能するゲート線 $X_n$ のパルスの影響を大きく受ける。しかし、最終的には画質に影響を与えないレベルに収まることは実施例1と同じである。

【0041】

【発明の効果】以上のように、本発明によって、開口率を低下させることなく、画素の電位を安定するための信頼性の高い補助容量を形成することが出来た。本実施例ではプレーナ型(TFT)について説明をおこなったが、現在のアモルファスシリコンTFTで良く使用される逆スタガー型のTFTであっても同じ効果が得られることは明らかである。

【図面の簡単な説明】

【図1】従来のアクティブマトリクスの回路図・構成図を示す。

【図2】本発明のアクティブマトリクスの回路図・構成図を示す。

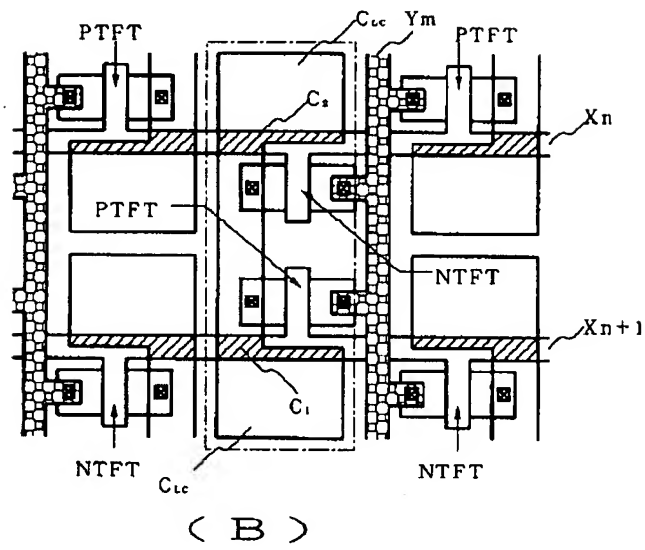
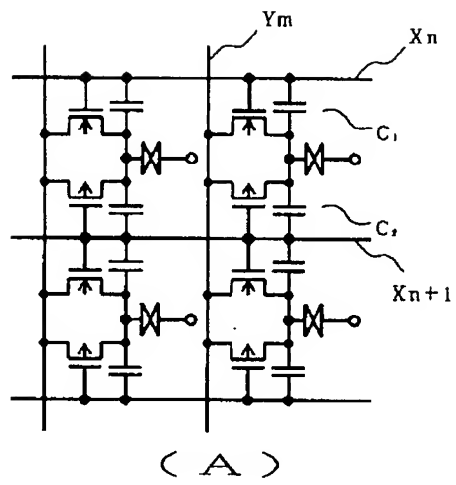
【図3】本発明のアクティブマトリクス回路の動作例を示す。

【図4】本発明による回路の作製工程例を示す。

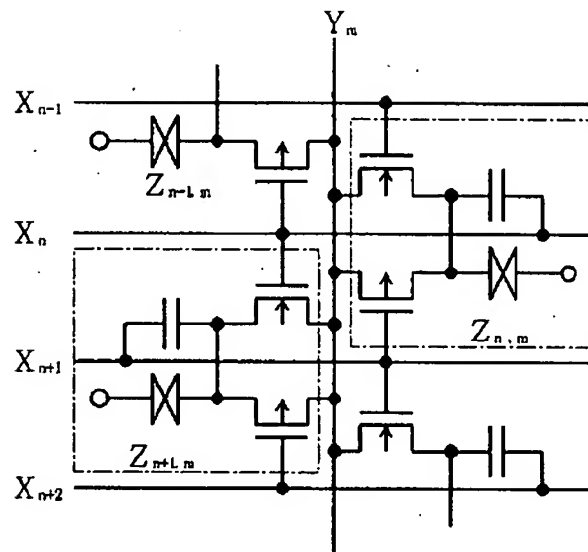
【符号の説明】

- 1 基板
- 2 下地酸化珪素層
- 3、3' 島状半導体領域
- 4 ゲート絶縁膜
- 6、6'、7 ゲート電極・配線
- 8、8'、9 陽極酸化膜
- 10、10' 不純物領域
- 11a、11b、11c 層間絶縁物
- 12 データ線
- 13、13' 金属電極
- 14 画素電極

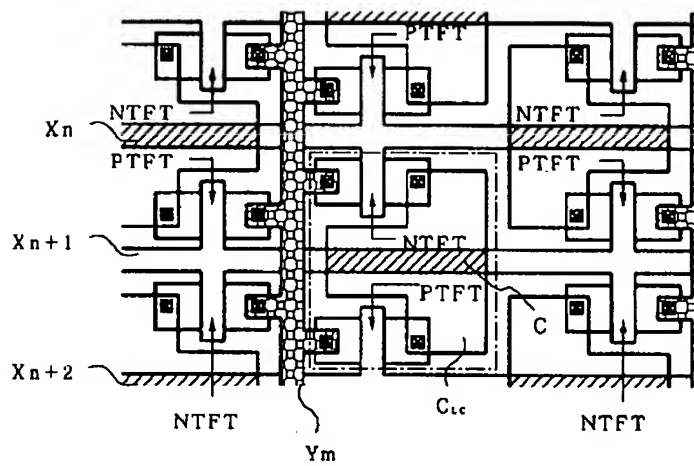
【図1】



【図2】

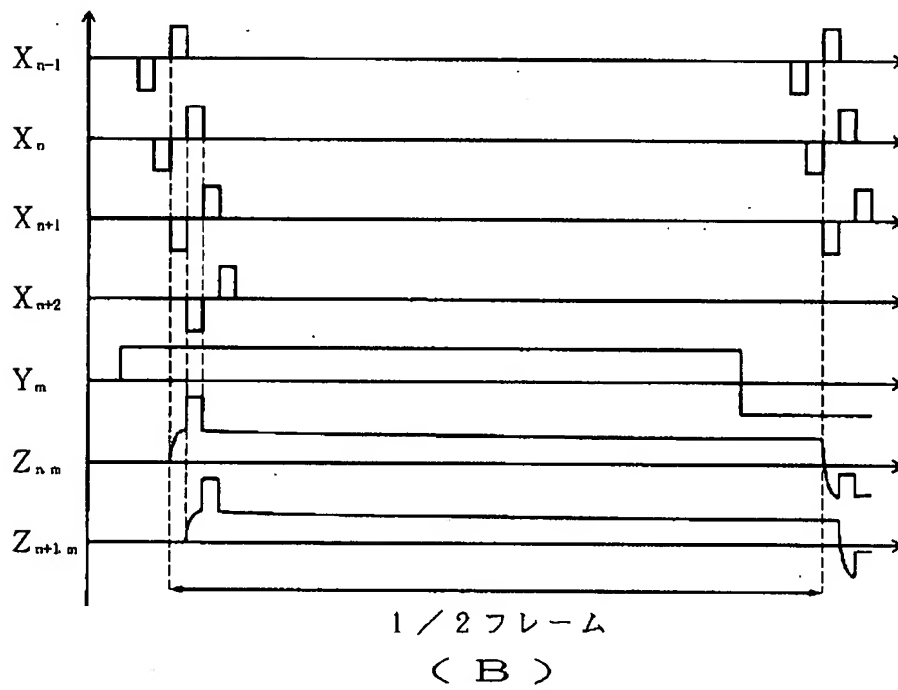
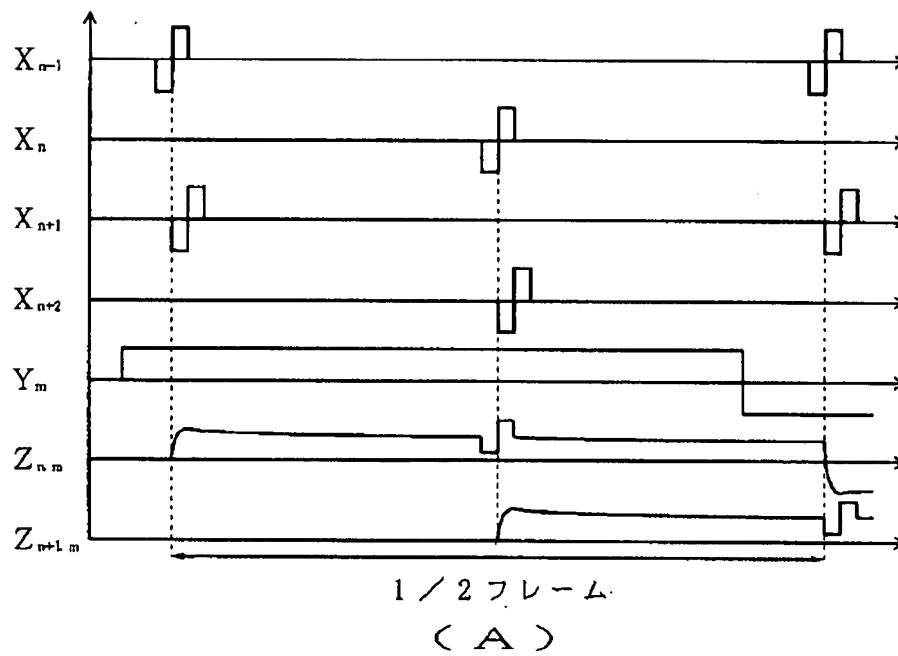


( A )



( B )

【図3】





【図4】

